**VIDEOLLAMADA TFG 13/07/2022:**

Facilitar diseño de las rd segmentadas

-Modulos a implementar:

Opciones:

1. Dis mods, dis lenguaje, dis interpretador del lenguaje: Problema: Demasiado secuencial
2. Proceso Iterativo: Módulos en Hw, Lenguaje para esos módulos, Interpretador:

1ra Iteración: Componentes al cuadrado y sumadas:

Divisor de flujo:

* Mod 1: SPLIT -
* Mod 2: Multiplicador – (Op. aritmética)
* Mod 3: Acumulador –

Señales base:

* Dato, Ready, Valid
* Last (Control): Flag de flujo para el acumulador.

**Proceso**: Empezar a mirar los módulos de VHDL , Comprenderlos y ver si son simplificables a las señales que tocan:

* Mirar VHDL
* Mirar LPPL
* Mirar módulos: